



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ **Offenlegungsschrift**
⑩ **DE 199 47 603 A 1**

⑤① Int. Cl.⁷:
G 01 R 31/3183

②① Aktenzeichen: 199 47 603.9
②② Anmeldetag: 4. 10. 1999
④③ Offenlegungstag: 18. 5. 2000

DE 199 47 603 A 1

③⑩ Unionspriorität:
182715 29. 10. 1998 US
⑦① Anmelder:
Hewlett-Packard Co., Palo Alto, Calif., US
⑦④ Vertreter:
Schoppe, Zimmermann & Stöckeler, 81479
München

⑦② Erfinder:
Fin, Brian P., Thornton, Col., US; Dixon, Daniel J.,
Thornton, Col., US

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ Vorrichtung und Verfahren zum Testen eines Mikroprozessors mit einem platinen-eigenen Testvektorgenerator

⑤⑦ Eine Vorrichtung zum Testen eines Mikroprozessors, der eine Kernaussführungseinheit, einen internen Speicher und ein Datentor besitzt, kann ein Testgerät mit einem Datentor, das mit dem Mikroprozessordatentor verbunden ist, aufweisen. Ein Testvektorgeneratorprogramm wird von dem Testgerät zu dem internen Speicher des Mikroprozessors übertragen, um den Mikroprozessor zu testen, wenn das Testvektorgeneratorprogramm durch die Kernaussführungseinheit ausgeführt wird. Das Testvektorgeneratorprogramm erzeugt Testvektoren, die ebenfalls in dem internen Speicher gespeichert werden, und die dann durch die Kernaussführungseinheit ausgeführt werden können.

DE 199 47 603 A 1

Beschreibung

Die vorliegende Erfindung bezieht sich allgemein auf das Gebiet des Testens von Mikroprozessoren und spezieller auf eine Vorrichtung und ein Verfahren zum Testen eines Mikroprozessors durch einen Testvektorgenerator, der in einem chip-eigenen (on-chip) Speicher gespeichert ist.

Das Testen von Mikroprozessoren ist ein kritischer, jedoch aufwendiger Schritt des Herstellungsverfahrens. Mikroprozessoren werden aus Siliziumwafern gebildet, die sehr dünne, runde Scheiben aus einem Zylinder aus Silizium sind. Ein mikroskopischer Schaltungsaufbau für mehrere Mikroprozessoren wird dann auf dem Siliziumwafer gebildet. Die Herstellung muß in einem Reinraum stattfinden, d. h. einer Kammer, in der Staub und andere Unreinheiten auf extrem geringe Pegel reduziert sind. Alle ungewollten Unreinheiten in dem Siliziumwafer oder in dem Schaltungsaufbau eines Mikroprozessors können bewirken, daß derselbe oder Teile desselben ausfallen. Da ein Mikroprozessor nur mehrere Millimeter oder Zentimeter breit sein kann und Millionen von Transistoren aufweisen kann, kann es sehr schwierig sein, denselben gründlich zu testen. Überdies sind Mikroprozessoren sehr zerbrechlich und können während des Herstellungsverfahrens ohne weiteres beschädigt werden. Beispielsweise kann ein typischer statischer Ladungsaufbau, während eine Person umhergeht, normalerweise etwa 10.000 Volt betragen, wobei eine statische Entladung auf einem Mikroprozessor mit nur etwa 5.000 Volt denselben zerstören kann.

Nachdem der Mikroprozessorschaltungsaufbau zu dem Siliziumwafer hinzugefügt wurde, wird der Wafer in Abschnitte, oder Chips, geschnitten, von denen jeder einen Mikroprozessor enthält. Jeder Chip wird dann in einem Gehäuse plazierte, das aus einem Material, wie z. B. Kunststoff oder Keramik, besteht. Das Gehäuse besitzt ferner elektrische Kontakte, die eine Verbindung des Mikroprozessors in dem Gehäuse mit einer Schaltungsplatine oder einem anderen elektrischen System ermöglichen. Da die Herstellung von Mikroprozessoren ein derart aufwendiges Verfahren ist, werden dieselben typischerweise in verschiedenen Phasen getestet, beispielsweise vor und nach dem Häuten derselben, um eine frühestmögliche Zurückweisung defekter Teile zu ermöglichen. Nach dem Test, der nach dem Häuten durchgeführt wird, werden die Mikroprozessoren bei extremen Umgebungsbedingungen betrieben, oder "eingebraunt", und wiederum getestet, um diejenigen mit latenten Defekten, die nur auftreten, nachdem der Mikroprozessor betrieben wurde, zu beseitigen.

Mikroprozessoren werden im allgemeinen auf einem Parallel-Anschlußstift-Testgerät getestet, einer extrem aufwendigen Maschine mit Hunderten von elektrischen Kontakten und einer sehr großen Menge eines schnellen Speichers. Mikroprozessorbefehle, die als Testvektoren bezeichnet werden, sind in dem Speicher des Parallel-Anschlußstift-Testgeräts gespeichert. Testfälle, die aus Sätzen von Testvektoren bestehen, werden in einem zeitaufwendigen und mühseligen Verfahren typischerweise von Schaltungsdesignern geschrieben, weshalb dieselben von stark unterschiedlicher Qualität sind, abhängig von den Bemühungen und den Fähigkeiten der Personen, die dieselben geschrieben haben. Es ist eine äußerst schwierige Aufgabe, Testvektoren zu erzeugen, die eine hochkomplexe Schaltung, wie beispielsweise einen Mikroprozessor, gründlich testen. Ein Mikroprozessor, entweder gehäut oder ungehäut, wird mit dem Parallel-Anschlußstift-Testgerät verbunden, wobei die Testfälle in dem Mikroprozessor ausgeführt werden, um Ausfälle zu erfassen.

Parallel-Anschlußstift-Testgeräte besitzen mehrere Nach-

teile. Die Speichermenge in einem Parallel-Anschlußstift-Testgerät begrenzt die Anzahl und die Größe von Testfällen, die bezüglich eines Mikroprozessors durchgeführt werden können. Überdies begrenzen die Geschwindigkeit des Parallel-Anschlußstift-Testgeräts und seines Speichers die Geschwindigkeit, mit der der Mikroprozessor während des Tests arbeiten kann. Allgemein muß die Taktgeschwindigkeit des Mikroprozessors während des Testens auf einem Parallel-Anschlußstift-Testgerät langsamer sein als die normale Betriebsgeschwindigkeit, was die Effizienz des Tests begrenzt.

Eine weitere Hauptherausforderung beim effektiven Testen von Mikroprozessoren durch ein Parallel-Anschlußstift-Testgerät ist die Schwierigkeit, eine oder mehrere Kernaussführungseinheiten in einem Mikroprozessor besetzt und beschäftigt zu halten. Mikroprozessoren können mehrere Kernaussführungseinheiten besitzen, die getestet werden müssen, wobei jedoch die externe Bandbreite sogar bei einem großen Parallel-Anschlußstift-Testgerät begrenzt ist. Folglich können Kernaussführungseinheiten entweder untätig sein oder während eines bestimmten Parallel-Anschlußstift-Testens nur minimal beschäftigt sein.

Die Kosten von Parallel-Anschlußstift-Testgeräten begrenzen die Anzahl, deren Kauf sich ein Hersteller leisten kann, weshalb die Anzahl von Mikroprozessoren, die gleichzeitig getestet werden können, begrenzt ist. Dieser Nachteil ist durch den Bedarf danach, den gleichen Mikroprozessor während verschiedener Phasen der Herstellung mehrmals zu testen, weiter verstärkt.

Es besteht daher ein Bedarf nach einer Vorrichtung und einem Verfahren zum Testen von Mikroprozessoren, die weniger aufwendig sind, was das gleichzeitige Testen einer größeren Anzahl von Mikroprozessoren ermöglicht. Ein zusätzlicher Bedarf besteht nach einer Vorrichtung und einem Verfahren zum Testen von Mikroprozessoren, die bei der normalen Betriebsgeschwindigkeit desselben in dem Mikroprozessor ausgeführt werden können. Ein weiterer Bedarf besteht nach einer Vorrichtung und einem Verfahren zum Testen von Mikroprozessoren, die Kernaussführungseinheiten eines Mikroprozessors vollständiger besetzen und beschäftigen.

Die Aufgabe der vorliegenden Erfindung besteht darin, Vorrichtungen und Verfahren zum Testen von Mikroprozessoren oder Mehr-Chip-Modulen zu schaffen, die ein effizientes, kostengünstiges und umfassendes Testen derselben ermöglichen.

Diese Aufgabe wird durch Vorrichtungen gemäß den Ansprüchen 1 und 6 sowie ein Verfahren gemäß Anspruch 7 gelöst.

Um die oben genannten Bedürfnisse zu erfüllen, haben die Erfinder Vorrichtungen und Verfahren entwickelt, um einen Mikroprozessor mit einem Testvektorgenerator zu testen, der in dem mikroprozessorinternen Speicher gespeichert ist.

Eine Vorrichtung zum Testen eines Mikroprozessors, die die Merkmale der vorliegenden Erfindung aufweist, besitzt einen Mikroprozessor mit einer oder mehreren Kernaussführungseinheiten, einem internen Speicher und einem Datentor, sowie ein relativ kostengünstiges Testgerät mit einem Datentor, das mit dem Datentor des Mikroprozessors verbunden ist. Das Testgerät besitzt eine kostengünstige Schnittstelle, beispielsweise ein serielles Tor. Das Testgerät kann einen Speicher aufweisen, der relativ kleiner und langsamer, und daher weniger aufwendig, als der Speicher, der bei einem Parallel-Anschlußstift-Testgerät erforderlich ist, ist.

Ein Testvektorgeneratorprogramm wird von dem Testgerät zu dem internen Speicher des Mikroprozessors übertra-

gen, um den Mikroprozessor zu testen, wenn dasselbe durch die Kernaussführungseinheit ausgeführt wird. Das Testvektorgeneratorprogramm erzeugt Testvektoren, die ebenfalls in dem internen Speicher gespeichert sind und die dann durch die Kernaussführungseinheit ausgeführt werden können.

Das Mikroprozessordatentor ist allgemein eine kostengünstige Schnittstelle, beispielsweise ein seriellcs Tbr. Bei einem bevorzugten Ausführungsbeispiel kann die serielle Schnittstelle eine JTAG-Testschnittstelle aufweisen. Das Testvektorgeneratorprogramm und die erzeugten Testvektoren können mit der vollen Taktgeschwindigkeit des Mikroprozessors durch die Kernaussführungseinheit ausgeführt werden.

Die vorliegende Erfindung kann ferner ein Verfahren zum Testen eines Mikroprozessors mit einer Kernaussführungseinheit, einem internen Speicher und einem Datentor umfassen, das das Vorsehen eines Testgeräts mit einem Datentor und einem Speicher und das Vorsehen eines Testvektorgeneratorprogramms in dem Speicher des Testgeräts umfaßt. Das Verfahren umfaßt ferner das Verbinden des Mikroprozessordatentors mit dem Testgerätdatentor, das Übertragen des Testvektorgeneratorprogramms von dem Testgerät durch das Testgerätdatentor zu dem internen Speicher durch das Mikroprozessordatentor, und das Ausführen des Testvektorgeneratorprogramms in der Kernaussführungseinheit, um Testvektoren zu erzeugen.

Bevorzugte Ausführungsbeispiele der vorliegenden Erfindung werden nachfolgend bezugnehmend auf die beiliegenden Zeichnungen näher erläutert. Es zeigen:

Fig. 1 ein Blockdiagramm eines Systems zum Testen eines Mikroprozessors;

Fig. 2 eine Draufsicht eines Siliziumwafers mit mehreren Mikroprozessorchips;

Fig. 3 eine Draufsicht eines einzelnen Mikroprozessorchips von Fig. 2;

Fig. 4 eine perspektivische Ansicht eines gehäuteten Mikroprozessors mit Oberflächenbefestigungskontakten;

Fig. 5 ein Flußdiagramm, das ein Verfahren zum Testen eines Mikroprozessors zeigt;

Fig. 6 ein Blockdiagramm eines Systems zum Testen eines Mikroprozessors, das einen externen Speicher enthält; und

Fig. 7 ein Blockdiagramm eines Systems zum Testen eines Mehr-Chip-Moduls.

Fig. 1 zeigt ein bevorzugtes Ausführungsbeispiel eines Systems zum Testen eines Mikroprozessors 2. Ein Testgerät 16 kann mit einem Mikroprozessor 2 verbunden sein, um Testvektoren oder Testbefehle auf dem Mikroprozessor 2 durchzuführen. Jedoch hält, anders als bei bekannten Parallel-Anschlußstift-Testgeräten, die alle die Testvektoren in schnellen großen Speicherschaltungen halten, das Testgerät 16 des bevorzugten Ausführungsbeispiels ein Testvektorgeneratorprogramm, das zu dem Mikroprozessor 2 übertragen wird, um Testvektoren innerhalb des Mikroprozessors 2 zu erzeugen. Folglich kann, statt des Verbindens eines Parallel-Anschlußstift-Testgeräts mit einem Mikroprozessor 2 durch eine große Anzahl von Verbindungen und des Ausführens von Testvektoren mit einer Frequenz oder Geschwindigkeit, die geringer ist als die volle Entwurfsfrequenz des Mikroprozessors 2, der Mikroprozessor 2 seine eigenen Testvektoren erzeugen und dieselben bei der vollen Geschwindigkeit ausführen. Dies senkt die Kosten der Testausrüstung, erhöht die Anzahl von Testvektoren, die ausgeführt werden können, und erhöht den Wirkungsgrad des Tests, da eine größere Anzahl von Testvektoren ausgeführt werden kann (ferner bei der vollen Geschwindigkeit).

Überdies bietet das interne Erzeugen der Testvektoren

und das Durchführen derselben bei der vollen Geschwindigkeit eine verbesserte Testabdeckung von Mikroprozessoren mit einem aufwendigen Parallelismus. Solche Mikroprozessoren, die mehrere Aufgaben parallel durchführen können, können durch externe Schnittstellen schwierig vollständig beschäftigt werden. Jedoch ist mit Testvektoren, die intern in dem Mikroprozessor geliefert werden, die externe Bandbreite keine Begrenzung.

Der Mikroprozessor 2 kann durch das Testgerät 16 zu jeder gewünschten Zeit während der verschiedenen Herstellungsphasen getestet werden, beispielsweise zu einem Zeitpunkt, zu dem die mehreren Mikroprozessoren 2, oder Chips, noch auf einem ungeschnittenen Siliziumwafer angeordnet sind. Der Mikroprozessorchip 2 kann auch getestet werden, nachdem derselbe geschnitten wurde, nachdem derselbe gehäut wurde, oder nach einer "Einbrenn"-Phase, während der derselbe bei extremen Umweltbedingungen betrieben wird (d. h., um zu ermöglichen, daß latente Defekte auftreten).

Das Testvektorgeneratorprogramm kann jegliches Programm umfassen, das Instruktionen, die der Mikroprozessor 2 ausführen soll, erzeugt. Bei einem bevorzugten Ausführungsbeispiel ist der Testvektorgenerator ein Zufallscodegenerator (RCG; RCG = random code generator), wie z. B. diejenigen, die in den folgenden Patenten beschrieben sind, die hiermit bezüglich ihrer Gesamtheit durch Bezugnahme aufgenommen sind: U.S.-Patent 5,729,554, U.S.-Patent 5,784,550 und U.S.-Patent 5,771,241. Ein RCG erzeugt pseudozufällige Testvektoren, basierend auf einer Zufallszahl, oder einem "Samen", die als ein Eingangssignal dem RCG zugeführt wird. Jeder Samenwert bewirkt, daß der RCG die gleichen Testvektoren erzeugt, um zu ermöglichen, daß ein Test reproduzierbar ist.

Nachdem der RCG einen Satz von Testvektoren erzeugt hat, die auch als ein Fall bezeichnet werden, wird der Fall in einem leeren Bereich des inneren Speichers gespeichert. Ein exemplarischer Testfall einer moderaten Länge zu Fehlerbehebungszwecken könnte in dem Bereich von etwa 20 bis 30 Befehlen liegen, da es während einer Fehlerbehebung erwünscht ist, zu bewirken, daß ein Fehler bei so wenig wie möglich Befehlen auftritt, um die Ursachen der Fehler zu isolieren und die verstrichene Zeit zu reduzieren. Jedoch liegt bei dem bevorzugten Ausführungsbeispiel der Zweck der Testfälle eher darin, zu bestimmen, ob der Mikroprozessor defekt ist, als zu bestimmen, wo Fehler lokalisiert wurden. Daher sind die Testfälle bei dem bevorzugten Ausführungsbeispiel länger, wobei die Länge der Testfälle nur durch die verfügbare interne Speichermenge und durch die Testanforderungen begrenzt ist. Die Anzahl von Testfällen, die erzeugt und durchgeführt werden kann, ist im wesentlichen unbegrenzt, da jeder neue Testfall an dem gleichen Speicherort gespeichert werden kann, nachdem der vorherige Testfall abgeschlossen ist.

Sobald der Testfall in dem internen Speicher gespeichert ist, bewirkt der RCG, daß der Mikroprozessor 2 die Testvektoren in dem Fall ausführt. Die Testvektoren können zu verschiedenen Erzeugungsstufen ausgeführt werden. Beispielsweise könnten die Testvektoren nacheinander ausgeführt werden, während dieselben erzeugt werden, oder nicht ausgeführt werden, bis mehrere Fälle erzeugt wurden. Bei einem bevorzugten Ausführungsbeispiel wird jeder Fall "schnell" ("at speed") ausgeführt, nachdem derselbe vollständig erzeugt und gespeichert wurde.

Um den RCG zu dem Mikroprozessor 2 zu übertragen und die Ausführung einzuleiten, können mikroprozessorabhängige Standardverfahren verwendet werden. Wenn das Datentor 10 beispielsweise eine JTAG-Schnittstelle aufweist, umfaßt das JTAG-Protokoll Verfahren zum Initialisie-

ren des Mikroprozessors, zum Laden von Daten in den Cache und zum Plazieren des Mikroprozessors in einem gewünschten Zustand. Die JTAG-Schnittstelle ist in dem U.S.-Patent Nr. 5,610,927 beschrieben, das hiermit in seiner Gesamtheit durch Bezugnahme aufgenommen ist. Wenn der Mikroprozessor andererseits eine DAT-Hardware (DAT = Direct Access Test = Direktzugriffstest) aufweist, umfaßt das DAT-Protokoll Verfahren zum Initialisieren des Mikroprozessors, zum Laden von Daten in den Cache und zum Plazieren des Mikroprozessors in einem gewünschten Zustand. Die DAT-Schnittstelle ist in dem U.S.-Patent Nr. 5,799,021, das hiermit in seiner Gesamtheit durch Bezugnahme aufgenommen ist, beschrieben.

Ferner umfaßt bei einem bevorzugten Ausführungsbeispiel der RCG eine Befehlsschnittstelle. Durch diese Schnittstelle wird der RCG fokussiert, um Testvektoren mit dem Ziel des Testens spezifischer Bereiche des Mikroprozessors 2 zu erzeugen, oder wird fokussiert, um andere Tests durchzuführen, wie z. B. ein Hin-und-Her-Schalt-Testen, das auch als ein "Hängenbleiben"-Testen bezeichnet wird. Das Hin-und-Her-Schalt-Testen umfaßt den Versuch, zu bewirken, daß jeder elektrische Knoten in dem Mikroprozessor seinen Zustand ändert, um Kurzschlüsse zu finden. Anders ausgedrückt, werden mehrere Schalter ein- oder ausgeschaltet, um sicherzustellen, daß dieselben entwurfsgemäß arbeiten.

Sobald der Mikroprozessor einen Testfall ausgeführt hat, verifiziert der RCG die Ergebnisse durch das Vergleichen des Zustands des Mikroprozessors mit einem erwarteten Zustand. Wenn der Testfall beispielsweise ein Register auf einen gegebenen Wert einstellen sollte, wird der Inhalt des Registers mit dem erwarteten Inhalt verglichen. Der RCG berichtet die Ergebnisse zu dem Testgerät 16, entweder nachdem alle Testfälle durchgeführt wurden, oder sobald ein Fehler existiert.

Nachdem nun allgemein ein System zum Testen eines Mikroprozessors beschrieben wurde, ebenso wie bestimmte signifikantere Merkmale und Vorteile desselben, werden nun bestimmte, verschiedene Ausführungsbeispiele eines solchen Systems detaillierter beschrieben.

Wie in Fig. 1 gezeigt ist, weist ein Mikroprozessor 2 eine Kernaussführungseinheit 4 auf, wobei ein interner Speicher 6 mit einem Testgerät 16 verbunden ist. Der Mikroprozessor 2 kann jeglichen elektronischen Prozessor umfassen, beispielsweise einen integrierten Prozessor, der auf einem Siliziumsubstrat hergestellt ist, mit einer Kernaussführungseinheit 4 zum Ausführen von Befehlen oder zum Verarbeiten von Daten, und einem internen Speicher 6. Der interne Speicher 6 kann einen Cache-Speicher oder jeglichen anderen mikroprozessorinternen Speicher aufweisen, wobei derselbe ferner einen oder eine Mehrzahl von unterschiedlichen Speichern aufweisen kann.

Das Testgerät 16 besitzt eine kostengünstige Schnittstelle, um Informationen mit dem Mikroprozessor, der getestet wird, auszutauschen. Bei einem bevorzugten Ausführungsbeispiel besitzt die Schnittstelle ein serielles Tor 14 mit einer geringen Anschlußstiftzahl, das über einen seriellen Bus 12 mit einem seriellen Tor 10 auf dem Mikroprozessor 2 verbunden ist. Bei einem bevorzugten Ausführungsbeispiel umfassen das serielle Testgerät 14 und das serielle Mikroprozessortor 10 Abtast-Latches. Das serielle Mikroprozessortor 10 kann jeden anderen Typ einer seriellen Schnittstelle aufweisen, beispielsweise eine JTAG-Schnittstelle.

Das Testgerät 16 besitzt ferner einen kostengünstigen Speicher, der relativ klein sein kann, in dem ein Testvektorgenerator, beispielsweise ein Zufallscodegenerator (RCG) gespeichert ist. Nachdem ein Mikroprozessor 2 über eine serielle Verbindung 12 mit dem Testgerät 16 verbunden

wurde, wird der RCG von dem Testgerät 16 zu dem internen Speicher 6 des Mikroprozessors 2 übertragen.

Der RCG kann mit Samenwerten oder anderen Fokussierungsinstruktionen beladen werden, bevor derselbe zur Verwendung in dem Testgerät 16 gespeichert wird. Alternativ können dem RCG Samenwerte zugeführt werden, während sich derselbe in dem Testgerät 16 befindet, oder nachdem derselbe zu dem Mikroprozessor 2 übertragen wurde.

Die Kernaussführungseinheit 4 des Mikroprozessors 2 führt dann den RCG aus. Das Testgerät 16 kann ferner einen Zeitgeber aufweisen, der gestartet wird, wenn der RCG ausgeführt wird. Wenn der RCG innerhalb einer vorbestimmten Zeitdauer keinen Testabschluß berichtet, beispielsweise, wenn der Mikroprozessor 2, der getestet wird, vollständig defekt ist und den RCG nicht ausführen kann, wird der Zeitgeber in dem Testgerät 16 den vorbestimmten Wert erreichen, wobei das Testgerät 16 anzeigen kann, daß der Mikroprozessor 2 defekt ist.

Bei einem weiteren Ausführungsbeispiel wird ein kurzer und rudimentärer Testfall vor längeren Testfällen ausgeführt, um Zeit bezüglich des Wartens auf einen Testabschluß oder eine Zeitablaufbedingung bei defekten Mikroprozessoren 2 zu sparen. Dieses Ausführungsbeispiel informiert das Testgerät 16 schnell, wenn der Mikroprozessor 2 nicht in der Lage ist, den RCG auszuführen, da der Zeitablaufwert des vorläufigen rudimentären Testfalls relativ kurz ist.

Alternativ sendet bei einem anderen Ausführungsbeispiel der RCG während der Ausführung des RCG und der Testfälle häufig Statusberichte zu dem Testgerät 16, wobei die Zeitabläufe des Testgeräts 16 auf einen Wert verkürzt sind, der gerade größer ist, als die erwartete Zeitperiode zum Empfangen von Statusberichten. Bei diesem Ausführungsbeispiel kann das Testgerät den Test abbrechen und anzeigen, daß der Mikroprozessor 2 defekt ist, sobald dasselbe eine Statusmitteilung empfängt, die einen Fehler anzeigt, bevor die Testfälle alle ausgeführt worden sind.

Wenn der RCG ausgeführt wird, erzeugt derselbe einen Testfall, der einen Satz von Testvektoren aufweist, die dann in dem internen Speicher 6 gespeichert werden. Nachfolgend wird bewirkt, daß die Kernaussführungseinheit 4 den Testfall durch den RCG ausführt. Bei einem Ausführungsbeispiel kann der RCG auch einen Zeitgeber auf einen vorbestimmten Wert einstellen. Wenn die Kernaussführungseinheit 4 den Testfall nicht innerhalb der vorbestimmten Zeit abschließt und die Steuerung zu der RCG zurückgibt, wird der Zeitgeber den vorbestimmten Wert erreichen und die Steuerung zu dem RCG zurückgeben. Der RCG kann dann über die serielle Verbindung 12 einen Fehler zu dem Testgerät 16 berichten.

Nachdem die Kernaussführungseinheit 4 den Testfall abgeschlossen hat, wird der letzte Befehl des Testfalls die Steuerung zu dem RCG-Programm zurückgeben, das dann die Ergebnisse des Tests überprüfen wird. Der RCG bereitet erwartete Ergebnisse, die einen erwarteten Zustand des Mikroprozessors 2 aufweisen, zusammen mit den Testvektoren vor, oder wird mit denselben geladen. Der RCG kann Elemente betrachten, wie z. B. die Register des Mikroprozessors 2, den Cache-Zustand oder die Übersetzungs-Seiten-griff-Puffer-Einträge (ein Cache, der Seitenübersetzungen für einen virtuellen Speicher hält). Wenn irgendein externer Speicher mit dem Mikroprozessor verbunden ist, kann der RCG ferner die Speicherorte überprüfen, die während der Ausführung des Testfalls hätten modifiziert werden sollen, wie nachfolgend bezugnehmend auf Fig. 6 beschrieben wird.

Wenn das RCG-Programm nach dem Ausführen eines Testfalls herausfindet, daß der Zustand des Mikroprozessors 2 nicht dem erwarteten entspricht, kann der RCG einen Feh-

lercode über die Signalverbindung 12 übertragen, der anzeigt, daß ein Fehler aufgetreten ist. Der Fehlercode kann auch Informationen bezüglich dessen enthalten, welcher Bereich des Mikroprozessors 2 wahrscheinlich defekt ist, abhängig davon, welcher Test einen Fehler zeigte. Der Inhalt und das Format des Fehlercodes hängen von dem Entwurf des Mikroprozessors 2 ab. Die Fehlercodes, die durch den RCG zurückgegeben werden, können an die Entwurfsanforderungen des spezifischen Mikroprozessors 2 und sein Herstellungsverfahren angepaßt sein. Beispielsweise können Fehlercodes entworfen sein, um die Lokalisierung von Herstellungsverfahren, die einer Verbesserung bedürfen, zu unterstützen. Fehlercodes können am Ende der Testprozedur, nachdem alle Testfälle ausgeführt wurden, oder vorzugsweise auf den ersten Ausfall hin, übertragen werden. Der RCG kann dann fortfahren, um weitere Testfälle auszuführen, oder kann einfach stoppen, nachdem der erste Ausfall dem Testgerät 16 angezeigt wurde.

Wenn alle Testfälle erfolgreich erzeugt und ausgeführt wurden, überträgt der RCG eine Meldung über die serielle Verbindung 12 zu dem Testgerät 16, die anzeigt, daß der Mikroprozessor 2 den Test bestanden hat.

Das bevorzugte Ausführungsbeispiel besitzt mehrere, wichtige Vorteile. Das Testgerät 16 erfordert nicht den umfangreichen, aufwendigen und schnellen Speicher, der für Parallel-Anschlußstift-Testgeräte erforderlich ist. Die Ausführung des RCG von dem internen Speicher 6 ist wirksam, um den Mikroprozessor 2 zusätzlich zu den Testvektoren zu testen. Der Mikroprozessor 2 wird überdies vollständiger getestet, indem der RCG und die Testvektoren mit voller Geschwindigkeit ausgeführt werden, und nicht mit einer reduzierten Geschwindigkeit, die durch ein Parallel-Anschlußstift-Testgerät begrenzt ist. Die parallelen Pipelines eines komplexen Mikroprozessors werden vollständiger getestet, da die externe Bandbreite während der Ausführung der Testfälle kein begrenzender Faktor ist. Daher ist der Aufwand des Versuchens, Parallel-Anschlußstift-Testgeräte mit Speicher und Schnittstellen zu versehen, die schnell und breit genug sind, um mit hochentwickelten Mikroprozessoren standzuhalten, vermieden.

Wie oben kurz angesprochen wurde, kann der Mikroprozessor 2 während verschiedener Herstellungsphasen getestet werden. Wie in Fig. 2 gezeigt ist, werden Mikroprozessoren (beispielsweise 2) auf einem Siliziumwafer 20, einer dünnen Scheibe aus Silizium, hergestellt. Mehrere Mikroprozessoren (beispielsweise 2, 22 und 24) werden auf einem einzelnen Siliziumwafer 20 hergestellt. Die Mikroprozessoren (beispielsweise 2, 22 und 24) oder Chips werden dann in einzelne Chips vereinzelt, wie in Fig. 3 gezeigt ist.

Fig. 3 zeigt einen Mikroprozessor 2 oder Chip, der aus dem Siliziumwafer 20 vereinzelt wurde, jedoch noch nicht in einem Gehäuse platziert wurde. Zusammen mit den Elementen des Mikroprozessors 2, beispielsweise der Kernaussführungseinheit 4 und dem internen Speicher 6, sind viele winzige Verbindungen oder Anschlußflächen (beispielsweise 30, 32 und 34) auf dem Mikroprozessor 2 vorgesehen.

Der nächste Hauptschritt der Herstellung ist das Plazieren des Mikroprozessors 2 in einem Gehäuse 40, wie in Fig. 4 gezeigt ist. Die sehr kleinen Anschlußflächen (beispielsweise 30, 32 und 34) werden mit externen Verbindern (beispielsweise 42, 44 und 46) drahtgebondet, oder verbunden. Der Mikroprozessor 2 kann dann eingebrannt oder für eine kurze Zeitperiode betrieben werden, um latente Defekte zu identifizieren, d. h. Defekte, die nicht auftreten, solange der Mikroprozessor 2 nicht betrieben wurde. Beispielsweise ist es möglich, daß partielle Kurzschlüsse keine negative Auswirkung auf den Betrieb eines Mikroprozessors 2 haben. Jedoch kann der normale Betrieb des Mikroprozessors 2 be-

wirken, daß sich der partielle Kurzschluß erwärmt und zu einem vollständigen Kurzschluß wird.

Das Testgerät 16 kann in jeder der oben beschriebenen Herstellungsphasen mit dem Mikroprozessor 2 verbunden werden, beispielsweise auf dem Wafer, nach dem Vereinzeln der Chips 7, nach dem Häusen derselben, oder nach dem Einbrennen derselben, abhängig von den Anforderungen an den Hersteller. Beispielsweise kann es vorteilhaft sein, mehrere Tests eines Mikroprozessors 2 in den verschiedenen, oben beschriebenen Phasen durchzuführen, um defekte Teile so früh wie möglich zurückzuweisen, wodurch die Kosten der abschließenden Arbeit auf diesen defekten Teilen eingespart werden. Bei anderen Herstellungsumgebungen kann es kostengünstiger sein, alle Teile fertigzustellen und Tests nur nach dem Abschluß durchzuführen.

Es ist ferner erwünscht, das vorliegende Testsystem vor der Herstellung zu simulieren. Während des Entwurfs eines Mikroprozessors 2 und vor der Herstellung wird der Mikroprozessor 2 bei einer sehr geringen Frequenz (beispielsweise 1 Hz) auf einem Computer simuliert. Während dieser Simulation kann der RCG auf der simulierten Kernaussführungseinheit 4 ausgeführt werden. Bei dieser simulierten Umgebung kann der Zustand des Mikroprozessors 2 mit den erwarteten Ergebnissen nach jedem Befehl verglichen werden, und nicht nach dem Abschluß des Testfalls.

Fig. 5 ist ein Flußdiagramm, das ein Verfahren zum Testen eines Mikroprozessors gemäß dem bevorzugten Ausführungsbeispiel zeigt. Zuerst wird ein Testgerät über einen seriellen Bus mit einem Mikroprozessor verbunden 50. Das Testgerät überträgt 52 dann ein RCG-Programm über den seriellen Bus zu dem internen Speicher eines Mikroprozessors. Die Kernaussführungseinheit des Mikroprozessors führt den RCG aus 54, was Testvektoren erzeugt, die in dem internen Speicher des Mikroprozessors gespeichert werden. Nachdem die Testvektoren erzeugt sind, führt die Kernaussführungseinheit dieselben aus 56. Der letzte Befehl der Testvektoren bewirkt dann, daß der Ausführungszeiger in der Kernaussführungseinheit in das RCG-Programm zurückspringt. Die Kernaussführungseinheit fährt fort, das RCG-Programm auszuführen, das die Ergebnisse des vorhergehenden Tests auswertet 60, indem es den Zustand des Mikroprozessors mit einem erwarteten Zustand vergleicht. Der RCG, der durch die Kernaussführungseinheit durchgeführt wird, berichtet 62 dann die Ergebnisse des Tests zu dem Testgerät. Wie oben beschrieben wurde, kann der Mikroprozessor während jeder Herstellungsphase getestet werden.

Ferner kann, bezugnehmend nun auf Fig. 6, ein externer Speicher 76 mit einem gehäuteten Mikroprozessor 40 verbunden sein, wenn es erwünscht ist, um die Fähigkeit des Mikroprozessors 40, auf einen externen Speicher zuzugreifen, zu testen. Diese Option muß nicht notwendig sein, wenn dieselbe während anderer Herstellungsschritte erreicht werden kann, beispielsweise der Einbrennphase. Wenn ein externer Speicher 76 getestet wird, wird ein Testgerät 16 über eine serielle Verbindung 12 wie oben beschrieben unter Verwendung eines seriellen Mikroprozessors 10 und eines seriellen Testgeräts 14 mit dem Mikroprozessor 40 verbunden. Das Testgerät überträgt ein RCG zu dem internen Speicher 6 des Mikroprozessors 40, der dann den RCG in seiner Kernaussführungseinheit 4 ausführt. Der externe Speicher 76 ist durch einen Bus 72, der nach Bedarf einen parallelen Adreß- und Datenbus aufweisen kann, mit dem Mikroprozessor 40 verbunden. Der Bus 72 verbindet ein paralleles Tor 70 auf dem Mikroprozessor 40 mit einem parallelen Tor auf dem externen Speicher 76.

Während der Auswertung der Ergebnisse eines Testfalls vergleicht bei diesem Ausführungsbeispiel der RCG den Zustand des Mikroprozessors 40, einschließlich des Zu-

stands des externen Speichers 76, mit erwarteten Werten. Statt des Vergleichens jedes Speicherorts in dem externen Speicher 76 mit erwarteten Ergebnissen, kann der RCG nur Speicherorte untersuchen, auf die die Kernaussführungseinheit während der Ausführung der Testvektoren zugegriffen haben sollte.

Bei einem weiteren Ausführungsbeispiel, das in Fig. 7 gezeigt ist, umfaßt das Element, das getestet wird, ein Mehr-Chip-Modul (MCM) 80. Ein Mehr-Chip-Modul 80 ist eine Schaltung oder ein Modul, das aus mehreren diskreten, aktiven, elektronischen Komponenten besteht, die mit einer externen Schnittstelle verbunden und versehen sind. Die diskreten Komponenten können durch Löten, Schweißen, eine chemische Abscheidung, eine Metallisierung, Thermokompressionsbonden oder andere Verfahren zum elektrischen Verbinden der Komponenten miteinander verbunden sein. Bei diesem Ausführungsbeispiel erscheint das MCM 80 dem kostengünstigen Testgerät als eine integrierte Schaltung mit einer kostengünstigen Schnittstelle, wie z. B. einem seriellen Tor.

Das MCM 80 besitzt eine oder mehrere Kernaussführungseinheiten 82, jede auf ihrem eigenen Chip und elektrisch mit den anderen Chips oder Substraten in dem Modul verbunden. Jede Kernaussführungseinheit 82 kann einen internen Cache besitzen oder nicht. Das MCM 80 weist ferner einen oder mehrere Speicher 84, jeden auf seinem eigenen Chip und mit den anderen Chips in dem Modul elektrisch verbunden, auf. Eine serielle Schnittstelle 86 oder eine andere kostengünstige Schnittstelle ermöglicht, daß ein kostengünstiges Testgerät 92 über eine Verbindung 90 mit einer geringen Anschlußstiftzahl mit dem MCM 80 verbunden wird.

Das kostengünstige Testgerät 92, das einen relativ langsamen, wenig aufwendigen Speicher aufweisen kann, lädt einen RCG in den einen oder die mehreren Speicher 84 auf dem MCM 80, woraufhin die Kernaussführungseinheit 82 denselben bei voller Geschwindigkeit in dem Modul 80 ausführt. Daher wird kein Parallel-Anschlußstift-Testgerät mit einem schnellen aufwendigen Speicher benötigt, da während des Tests keine Testvektoren über die externe Schnittstelle übertragen werden.

Patentansprüche

1. Eine Vorrichtung zum Testen eines Mikroprozessors (2), wobei der Mikroprozessor (2) eine Kernaussführungseinheit (4), einen internen Speicher (6) und ein Datentor (10) aufweist, mit folgenden Merkmalen: einem Testgerät (16), das ein Datentor (14) aufweist, wobei das Testgerätdatentor (14) mit dem Mikroprozessordatentor (10) verbunden ist; und einem Testvektorgeneratorprogramm in dem internen Speicher (6) des Mikroprozessors (2) zum Testen des Mikroprozessors (2), wenn dasselbe durch die Kernaussführungseinheit (4) ausgeführt wird, wobei das Testvektorgeneratorprogramm durch das Testgerätdatentor (14) und das Mikroprozessordatentor (10) von dem Testgerät (16) zu dem internen Speicher (6) übertragen wird.
2. Vorrichtung gemäß Anspruch 1, bei der das Mikroprozessordatentor (10) ein serielles Tor aufweist, und bei dem das Testgerätdatentor (14) ein serielles Tor aufweist.
3. Vorrichtung gemäß Anspruch 2, bei der die seriellen Tore eine JTAG-Schnittstelle aufweisen.
4. Vorrichtung gemäß einem der Ansprüche 1 bis 3, die ferner Testvektoren in dem internen Speicher (6) aufweist.

5. Vorrichtung gemäß Anspruch 4, bei der die Kernaussführungseinheit (4) die Testvektoren mit einer normalen Betriebstaktgeschwindigkeit des Mikroprozessors (2) ausführt.

6. Eine Vorrichtung zum Testen eines Mehr-Chip-Moduls (80), wobei das Mehr-Chip-Modul (80) eine oder mehrere Kernaussführungseinheiten (82), einen Speicher (84) und ein Datentor (86) aufweist, mit folgenden Merkmalen:

einem Testgerät (92), das ein Datentor aufweist, wobei das Testgerätdatentor mit dem Mehr-Chip-Modul-Datentor (86) verbunden ist; und

einem Testvektorgeneratorprogramm in dem Speicher (84) des Mehr-Chip-Moduls (80) zum Testen des Mehr-Chip-Moduls (80), wenn dasselbe durch die eine oder die mehreren Kernaussführungseinheiten (82) ausgeführt wird, wobei das Testvektorgeneratorprogramm durch das Testgerätdatentor und das Mehr-Chip-Modul-Datentor (86) von dem Testgerät (92) zu dem Speicher (84) übertragen wird.

7. Verfahren zum Testen eines Mikroprozessors (2), wobei der Mikroprozessor (2) eine Kernaussführungseinheit (4), einen internen Speicher (6) und ein Datentor (10) aufweist, mit folgenden Schritten:

Vorsehen eines Testgeräts (16), das ein Datentor (14) und einen Speicher aufweist;

Vorsehen eines Testvektorgeneratorprogramms in dem Speicher des Testgeräts (16);

Verbinden (50) des Mikroprozessordatentors (10) mit dem Testgerätdatentor (14); Übertragen (52) des Testvektorgeneratorprogramms von dem Testgerät (16) durch das Testgerätdatentor (14) und das Mikroprozessordatentor (10) zu dem internen Speicher (6); und

Ausführen (54) des Testvektorgeneratorprogramms in der Kernaussführungseinheit (4), um Testvektoren zu erzeugen.

8. Verfahren gemäß Anspruch 7, das ferner folgende Schritte aufweist:

Speichern der Testvektoren in dem internen Speicher (6); und

Ausführen (56) der Testvektoren in der Kernaussführungseinheit (4).

9. Verfahren gemäß Anspruch 8, bei dem die Kernaussführungseinheit (4) die Testvektoren bei einer normalen Betriebstaktgeschwindigkeit des Mikroprozessors (2) ausführt (56).

10. Verfahren gemäß Anspruch 8 oder 9, bei dem das Testvektorgeneratorprogramm ferner erwartete Ergebnisse für die Testvektoren erzeugt, wobei das Verfahren ferner den Schritt des Vergleichens (60) eines Zustands des Mikroprozessors (2) mit den erwarteten Ergebnissen durch das Testvektorgeneratorprogramm aufweist, um zu bestimmen, ob der Mikroprozessor (2) defekt ist.

Hierzu 3 Seite(n) Zeichnungen

- Leerseite -

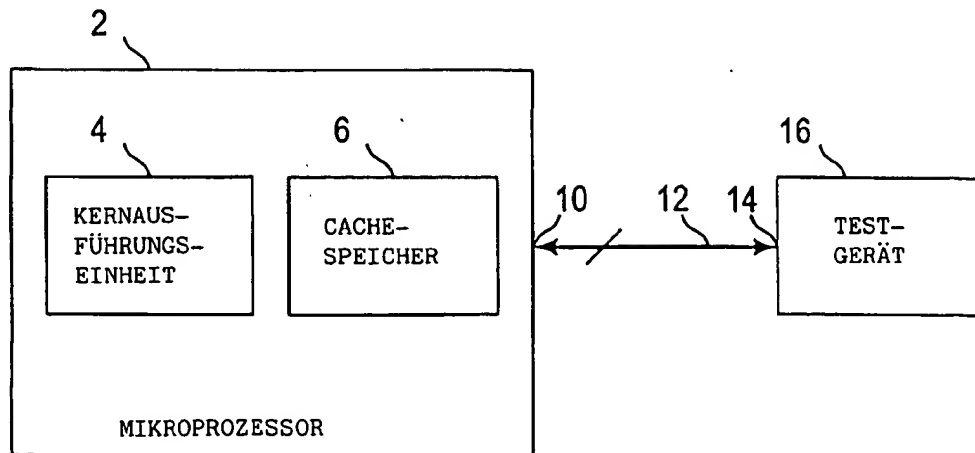


FIG. 1

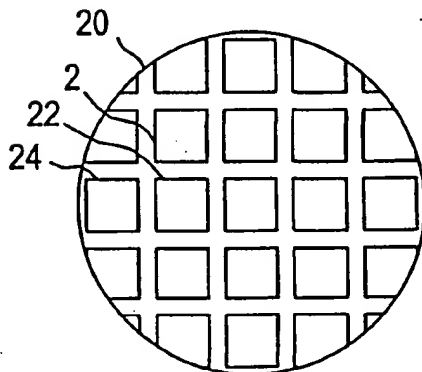


FIG. 2

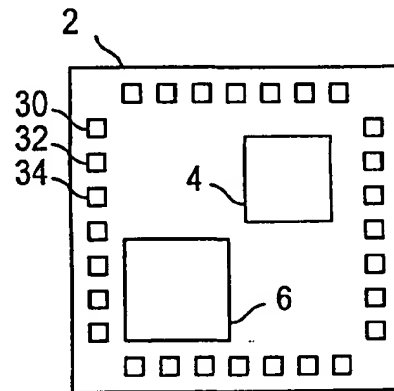


FIG. 3

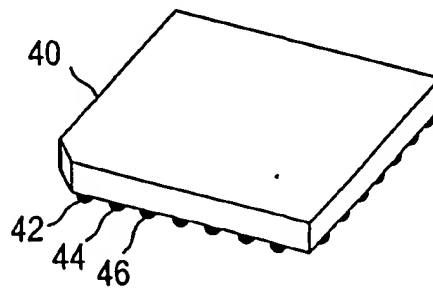


FIG. 4

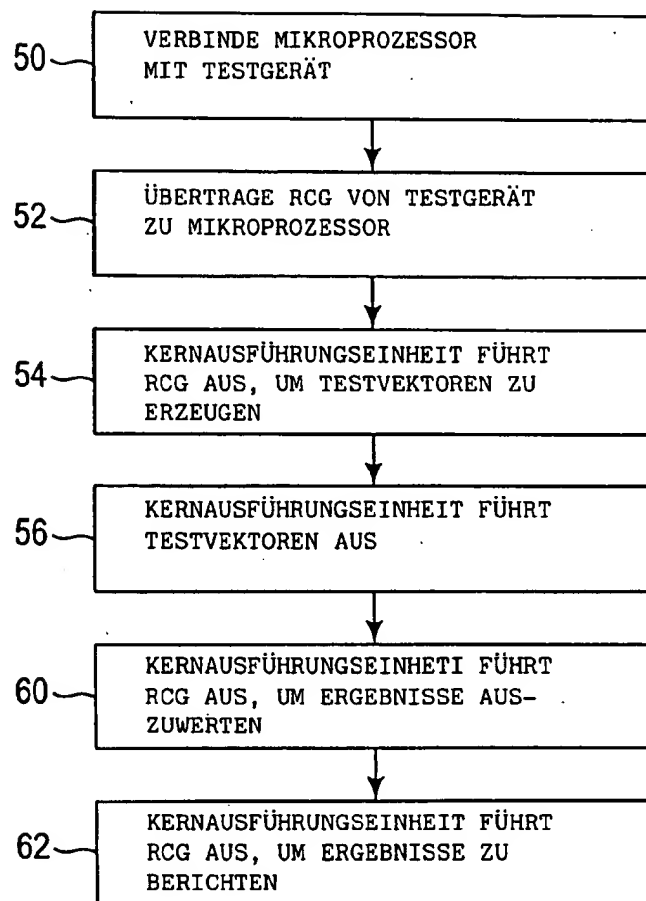


FIG. 5

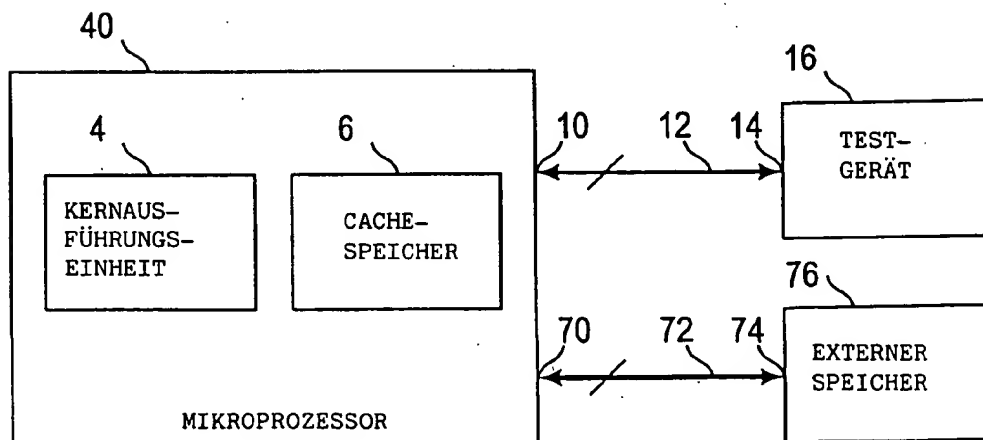


FIG. 6

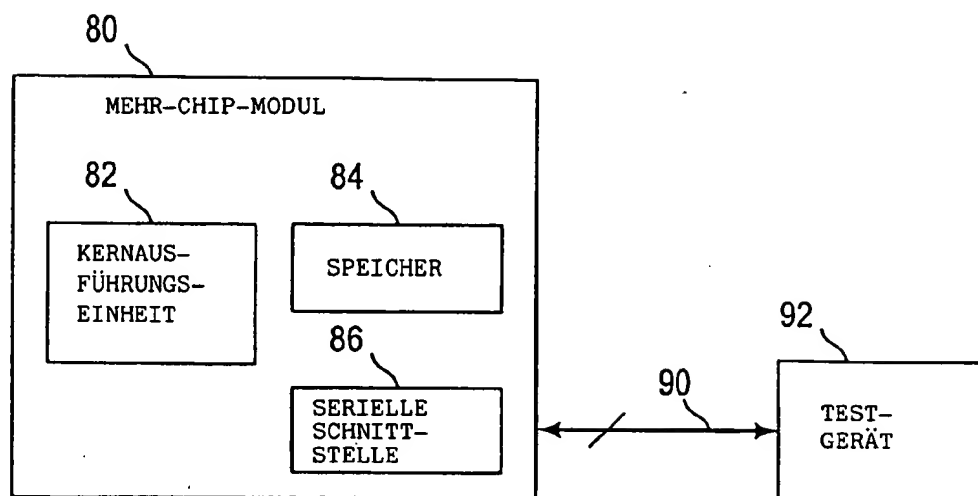


FIG. 7

PUB-NO: DE019947603A1
DOCUMENT- IDENTIFIER: DE 19947603 A1
TITLE: Microprocessor testing device e.g. for quality control
testing during manufacture, supplies test vector
generation program to microprocessor on-chip memory
PUBN-DATE: May 18, 2000

INVENTOR-INFORMATION:

NAME	COUNTRY
FIN, BRIAN P	US
DIXON, DANIEL J	US

ASSIGNEE-INFORMATION:

NAME	COUNTRY
HEWLETT PACKARD	CO US

APPL-NO: DE19947603

APPL-DATE: October 4, 1999

PRIORITY-DATA: US18271598A (October 29, 1998)

INT-CL (IPC): G01R031/3183

EUR-CL (EPC): G06F011/267

ABSTRACT:

The microprocessor testing device (16) has a data gate (14) coupled to the microprocessor data gate (10), for supplying a test vector generation program to the internal memory (6) of the microprocessor (2), to allow execution of the testing sequence by the microprocessor execution unit (4). An Independent claim for a microprocessor testing method is also included.